

ACTIVE MATRIX TYPE LIQUID CRYSTAL PANEL AND DRIVING METHOD THEREOF

Patent Number: JP10282471
Publication date: 1998-10-23
Inventor(s): OISHI SUMIHISA;; FURUHASHI TSUTOMU;; KURIHARA HIROSHI
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP10282471
Application Number: JP19970086424 19970404
Priority Number(s):
IPC Classification: G02F1/133; G09G3/36
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To decrease the difference between level shift voltages &Delta Vp due to a displaying position and to provide a TFT liquid crystal panel having little displaying irregularity in the gate-line direction.

SOLUTION: A discharge circuit 109 composed of 2n TFTs on the gate lines (103-1)-2n for discharging an electric charge at the time of the falling of a gate signal, by decreasing the difference of falling times due to the position of pixel by turning the TFT in the pixel from ON state to OFF state and, at the same time, by turning the TFT in the discharge circuit 109 from OFF state to ON state or giving a different voltage of a counter-electrode in the direction intersecting the gate line, the applied voltage on the liquid crystal is made constant.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

출력 일자: 2003/1/24

발송번호 : 9-5-2003-002207617

수신 : 서울 강남구 삼성동 153-29 감령빌딩 3층(

발송일자 : 2003.01.23

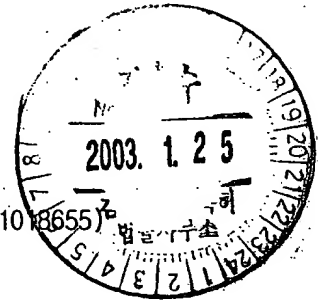
김영호국제특허법률사무소)

제출기일 : 2003.03.23

김영호 귀하

135-090

특허청 의견제출통지서



출원인 명칭 엘지.필립스 엘시디 주식회사 (출원인코드: 119981018655)
주소 서울 영등포구 여의도동 20번지
대리인 성명 김영호
주소 서울 강남구 삼성동 153-29 감령빌딩 3층(김영호국제특허법률사무소)
출원번호 10-2000-0079984
발명의 명칭 액정표시장치의 방전회로

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원은 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제4항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

이 출원의 특허청구범위 제1-3항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

1. 청구범위 제1-3항에서는 청구항 말미에 액정표시장치의 방전회로라고 기재되어 본원발명이 방전회로인 것으로 나타내고 있으나 상기 청구항들에 기재된 구성으로 보아 본원발명은 방전회로를 구비한 액정표시장치로 파악됩니다. 따라서, 상기 청구항들은 청구하고자 하는 발명이 불명확합니다.(법 제42조4항)

2.본원의 청구범위 제1-3항에 기재된 발명은 액정표시장치의 방전회로에 관한 것으로서 일본 공개특허공보 평10-282471호(1998.10.23)와 대비해 보면, 본원발명의 방전회로는 게이트라인상의 전압들을 방전시키는 것을 특징으로 하고 있으며 인용발명에서도 게이트라인에 연결되는 방전회로를 구비하여 서로 유사한 구성을 가지고 있습니다. 단지, 방전회로의 세부 동작에 약간의 차이가 있으나 이러한 차이는 단순한 설계변경에 불과하므로 본원발명은 당해 분야에서 통상의 지식을 가진 자가 상기 인용발명으로부터 용이하게 발명할 수 있습니다.(법 제29조2항)

[첨부]

첨부1 일본공개특허공보 평10-282471호(1998.10.23) 1부 끝.

출력 일자: 2003/1/24

2003.01.23

특허청

심사4국

영상기기 심사담당관실

심사관 고종욱



<<안내>>

문의사항이 있으시면 ☎ 042-481-5989 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

100-19984
(2)

(1) 出願人氏名(英名)

(2) 公開特許公報(A)

(3) 特許出願公開番号

特開平10-282471

(4) 公開日 平成10年(1998)12月23日

(5) 発明の名称	液晶パネル	PI
(6) 発明の要約	550	550
(7) 発明の詳細な説明	550	550

発明の概要 本特許は、液晶パネルの表示位置による差を減少せしめ、これによってゲート線方向の表示むらの少ないTFT液晶パネルを実現する。

(8) 発明の目的

特開平9-16174

(9) 発明の概要

液晶パネル

(10) 出願日

平成9年(1997)4月4日

(11) 発明の概要

液晶パネル

(12) 発明の概要

液晶パネル

(13) 発明の概要

液晶パネル

(14) 発明の概要

液晶パネル

(15) 発明の概要

液晶パネル

(16) 発明の概要

液晶パネル

(17) 発明の概要

液晶パネル

(18) 発明の概要

液晶パネル

(19) 発明の概要

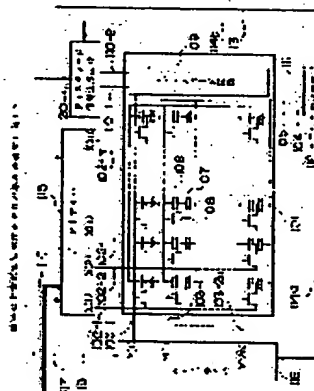
液晶パネル

(20) 発明の概要

【要約】

【課題】レベルシフト電圧 ΔV の表示位置による差を減少せしめ、これによってゲート線方向の表示むらの少ないTFT液晶パネルを実現する。

【解決手段】液晶パネル101のゲート線103-1~2n上に、ゲート信号の立ち下がり時において電荷の放出を行なうために、2n個のTFTで構成したディスチャージ回路109を設け、このディスチャージ回路109において、画素内のTFTをオン状態からオフ状態とすると同時に、ディスチャージ回路109内のTFTをオフ状態からオン状態とすることによって立下り時間の画素位置による差を減少せしめるか、あるいは、異なる対向電極の電圧をゲート線と交差する方向に対して与えることで液晶印加電圧を一定とする。



【特許請求の範囲】

【請求項1】m本のデータ線とn本のゲート線がマトリックス状に交差し、前記交差部分には第1のスイッチング素子と画素電極と液晶と対向電極を有し、前記データ線と前記ゲート線に対しては外部から電圧が印加され、前記第1のスイッチング素子は前記ゲート線の電圧値に従いオン、オフの制御を受け、前記第1のスイッチング素子のオン期間には前記データ線の電圧値が該交差部分の画素電極に書き込まれ、オフ期間には画素電極に書き込まれた電圧値が保持されることで、前記画素電極と前記対向電極の差電圧に従い、光の透過率が制御されるアクティブマトリックス型液晶パネルにおいて、前記m本のゲート線の各々に対して、第2のスイッチング素子を少なくとも一つ有し、前記第2のスイッチング素子の一端は対応しているゲート線と接続され、他端は前記第1のスイッチング素子がオフとなる電圧レベルとなるように接地されていることを特徴とするアクティブマトリックス型液晶パネル。

【請求項2】請求項1記載のアクティブマトリックス型液晶パネルにおいて、前記第1のスイッチング素子および前記第2のスイッチング素子は共にアモーフスSi-TFTで構成されることを特徴とするアクティブマトリックス型液晶パネル。

【請求項3】m本のデータ線とn本のゲート線がマトリックス状に交差し、前記交差部分には第1のスイッチング素子と画素電極と液晶と対向電極を有し、前記データ線と前記ゲート線に対しては外部から電圧が印加され、前記第1のスイッチング素子は前記ゲート線の電圧値に従いオン、オフの制御を受け、前記第1のスイッチング素子のオン期間には前記データ線の電圧値が該交差部分の画素電極に書き込まれ、オフ期間には画素電極に書き込まれた電圧値が保持されることで、前記画素電極と前記対向電極の差電圧に従い、光の透過率が制御されるアクティブマトリックス型液晶パネルにおいて、前記m本のゲート線の各々に対して、第2のスイッチング素子を少なくとも一つ有し、前記第2のスイッチング素子の一端は対応しているゲート線と接続され、他端は前記第1のスイッチング素子がオフとなる電圧レベルとなるように接地されていることを特徴とするアクティブマトリックス型液晶パネルの駆動方法であって、前記第1のスイッチング素子がオンからオフとなる前記ゲート線の電圧変化のタイミングと同期して、当該第1のスイッチング素子に対応する前記第2のスイッチング素子をオフからオンとすることを特徴とするアクティブマトリックス型液晶パネルの駆動方法。

【請求項4】請求項3記載のアクティブマトリックス型液晶パネルの駆動方法において、i行目の前記第1のスイッチング素子をオンからオフとする前記ゲート線の電圧変化のタイミングよりも前に、

i+1行目の前記第1のスイッチング素子をオフからオンとし、当該i+1行目の前記第1のスイッチング素子に対応する前記第2のスイッチング素子をオンからオフとすることを特徴とするアクティブマトリックス型液晶パネルの駆動方法。

【請求項5】m本のデータ線とn本のゲート線がマトリックス状に交差し、前記交差部分には第1のスイッチング素子と画素電極と液晶と対向電極を有し、前記データ線と前記ゲート線に対しては外部から電圧が印加され、前記第1のスイッチング素子は前記ゲート線の電圧値に従いオン、オフの制御を受け、前記第1のスイッチング素子のオン期間には前記データ線の電圧値が該交差部分の画素電極に書き込まれ、オフ期間には画素電極に書き込まれた電圧値が保持されることで、前記画素電極と前記対向電極の差電圧に従い、光の透過率が制御されるアクティブマトリックス型液晶パネルにおいて、前記m本のゲート線の各々に対して、第2のスイッチング素子を少なくとも一つ有し、前記第2のスイッチング素子の一端は対応しているゲート線と接続され、他端は前記第1のスイッチング素子がオフとなる電圧レベルとなるように接地されていることを特徴とするアクティブマトリックス型液晶パネルの駆動方法であって、前記m本のゲート線に対応するm個の前記第2のスイッチング素子は、少なくとも2つの群に分割され、前記各群に含まれている第2のスイッチング素子のオン、オフは、各群毎に設けられた制御信号線を介して制御されることを特徴とするアクティブマトリックス型液晶パネルの駆動方法。

【請求項6】m本のデータ線とn本のゲート線がマトリックス状に交差し、前記交差部分にはスイッチング素子と画素電極と液晶と対向電極を有し、前記データ線とゲート線に対しては外部から電圧が印加され、スイッチング素子は前記ゲート線の電圧値に従いオン、オフの制御を受け、前記スイッチング素子のオン期間においては前記データ線の電圧値が該交差部分の画素電極に書き込まれ、オフ期間においては画素電極に書き込まれた電圧値が保持されることで、画素電極と前記対向電極の差電圧に従い、光の透過率が制御されるアクティブマトリックス型液晶パネルの駆動方法において、前記ゲート線の一端に対しては前記スイッチング素子のオン、オフの制御電圧を印加するものであって、前記ゲート線の一端からの印加電圧が前記スイッチング素子のオンの制御電圧であるときは他端を開放とし、オフの制御電圧であるときは他端からも前記オフの制御電圧を印加し、前記一端から印加する前記オフの制御電圧が変動する場合には、それと同期して他端からの印加電圧を変動させることを特徴とするアクティブマトリックス型液晶パネルの駆動方法。

【請求項7】m本のデータ線とn本のゲート線がマトリ

ックス状に交差し、前記交差部分にはスイッチング素子と画素電極と液晶と対向電極を有し、前記データ線とゲート線に対しては外部から電圧を印加され、スイッチング素子は前記ゲート線の電圧値に従いオン、オフの制御を受け、前記スイッチング素子のオン期間においては前記データ線の電圧値が該交差部分の画素電極に書き込まれ、オフ期間においては画素電極に書き込まれた電圧値が保持されることで、画素電極と前記対向電極の差電圧に従い、光の透過率が制御されるアクティブマトリックス型液晶パネルにおいて、前記対向電極の印加電圧の入力端子を少なくとも2つ設け、前記ゲート線と交差する方向に対して、当該入力端子の一方を前記m本からなるデータ線の一端に配置し、他方をデータ線の異なる一端に配置することを特徴とするアクティブマトリックス型液晶パネル。

【請求項8】m本のデータ線とn本のゲート線がマトリックス状に交差し、前記交差部分にはスイッチング素子と画素電極と液晶と対向電極を有し、前記データ線とゲート線に対しては外部から電圧を印加され、スイッチング素子は前記ゲート線の電圧値に従いオン、オフの制御を受け、前記スイッチング素子のオン期間においては前記データ線の電圧値が該交差部分の画素電極に書き込まれ、オフ期間においては画素電極に書き込まれた電圧値が保持されることで、画素電極と前記対向電極の差電圧に従い、光の透過率が制御されるアクティブマトリックス型液晶パネルにおいて、前記対向電極の印加電圧の入力端子を少なくとも2つ設け、前記ゲート線と交差する方向に対して、当該入力端子の一方を前記m本からなるデータ線の一端に配置し、他方をデータ線の異なる一端に配置することを特徴とするアクティブマトリックス型液晶パネルの駆動方法であって、前記両端の2つの対向電極の入力端子の印加電圧の差電圧は、各入力端子に最も近い画素電極における、前記スイッチング素子がオン状態からオフ状態となるとき画素電極のレベルシフト電圧の差電圧と略一致することを特徴とするアクティブマトリックス型液晶パネルの駆動方法。

【請求項9】m本のデータ線とn本のゲート線がマトリックス状に交差し、前記交差部分にはスイッチング素子と画素電極と液晶と対向電極を有し、前記データ線と前記ゲート線に対しては外部から電圧が印加され、前記スイッチング素子は前記ゲート線の電圧値に従いオン、オフの制御を受け、前記スイッチング素子のオン期間には前記データ線の電圧値が該交差部分の画素電極に書き込まれ、オフ期間には画素電極に書き込まれた電圧値が保持されることで、前記画素電極と前記対向電極の差電圧に従い、光の透過率が制御されるアクティブマトリックス型液晶パネルと、当該アクティブマトリックス型液晶パネルを駆動させるための駆動回路とを備える液晶装置

において、前記アクティブマトリックス型液晶パネルのm本のゲート線の各々について、前記駆動回路により生成されたゲート信号の立ち下がりに同期して、蓄積された電荷の放出を行うデイスチャージ回路を有することを特徴とする液晶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶パネルに係わり、特に高精細で画面サイズが大きなアクティブマトリックス型液晶パネルに対して、表示位置によるむらの少ない画面を提供することができるアクティブマトリックス型液晶パネルとその駆動方法に関する。

【0002】

【従来の技術】従来のアクティブマトリックス型液晶パネルとして、各画素電極にTFT (Thin Film Transistor) を配置したTFT液晶パネルの構成とその駆動方法は、例えば産業図書“カラー液晶ディスプレイ”p148～p151や月刊LCDインテリジェンス’96.7月号のp124～p127に記載されている。以下図13～図15を用いてこれを説明する。

【0003】図13は従来のTFT液晶パネルおよびその駆動回路の構成を示す図である。本図において、1301はm×nドットで構成されたTFT液晶パネル、1302-1、1302-2、1302-3、…、1302-mはm本からなるデータ線、1303-1、1303-2、…、1303-nはn本からなるゲート線、1304は対向電極、1305は補助電極である。1306は各画素に配置されたTFTであり、1行j列のTFT 1306に対しては、そのゲート電極は1行目のゲート線1303-1と接続しており、そのドレイン電極はj列目のデータ線1302-jと接続している。

【0004】さらに、ソース電極は対向電極1304との間に液晶層を誘電材料とする液晶容量1307を、補助電極1305との間に補助容量1308を形成している。

【0005】さらに、1309は電源回路、1310はデータ電圧生成用電圧線、1311はゲート電圧生成用電圧線である。1312はデータドライバ、1313は表示データ、1314はデータドライバ制御信号である。データドライバ1312は図示しない外部システムから入力される表示データ1313とデータドライバ制御信号1314を基に電圧線1310の電圧値からデータ電圧を生成し、生成したデータ電圧V_dをデータ線1302-jに対して出力する。1315はゲートドライバ、1316はゲートドライバ制御信号である。ゲートドライバ1315もまたデータドライバ1312と同様に、ゲートドライバ制御信号1316を基に電圧線1311の電圧値からゲート電圧を生成し、生成したゲート電圧V_gをゲート線1303-1に対して出力す

る。

【0006】図14は従来例のTFT液晶パネルの駆動タイミングを示す図である。 W_i はj列目のデータ線1302-jの電圧波形であり、 V_{G1} 及び、 V_{G2} はそれぞれi-1行目、i行目のゲート線1303-(i-1)、1303-iの電圧波形であり、 V_{D1} は対向電極1304の電圧値である。

【0007】図15は図13の駆動タイミングに対する液晶容量間の差電圧を示す図である。 V_{G1} 、 V_{G2} はi行j列のTFTのソース電極の電圧であり、 V_{D1} はデータ電圧の中心電圧であり、即ち $V_{G1}+V_{D1}$ なる電圧である。

【0008】以上の構成で示されるTFT液晶パネルの動作を次に説明する。

【0009】TFT1306は、そのゲート電圧が V_{G1} となるとオン状態となり、 V_{G2} となるとオフ状態となる。そこでi-1行j列の画素にデータの書き込みを行う場合は、図14に示すように、i-1行目のゲート線1303-(i-1)の電圧値を V_{G1} とす。これによってi-1行目のTFT1306が全てオン状態となり、各列のデータ線に与えられるデータ電圧 W_i に従い、ソース電極の電圧を V_{G1} 、 V_{D1} とすることでデータが書き込まれる。次に V_{G1} を V_{G2} とすれば、当該行のTFT1306がオン状態からオフ状態となることで画素容量の電荷が保持されるとともに、同じタイミングにおいてi行目のゲート線1303-iの電圧値を V_{G1} とし、i行目のTFT1306のソース電極に対してデータ電圧 W_i の書き込みを行なう。液晶容量1307と補助容量1308からなる画素容量に書き込まれたj行目のデータ電圧 W_i は次にゲート電圧が V_{G2} となるまで保持される。ここで、 $V_{G1} \leq V_{D1} \leq V_{G2}$ なる範囲であるとき、 W_i は対向電圧 V_{D1} に対して正であるため、正極性となり、 $V_{G1} \leq V_{D1} \leq V_{G2}$ なる範囲であるとき、 W_i は対向電圧 V_{D1} に対して負であるため、負極性となる。

【0010】液晶パネルに対しては、直流成分による液晶の焼き付きを防ぐため、TFTのゲート電極がオン状態となる毎に極性反転を行なう。以上の動作を各行に対して順次行なうことで、各画素電極に対して電荷の書き込み、保持動作を行なう。液晶パネルの各画素は、この保持されたソース電極の保持電圧 V_{G1} 、 V_{D1} と対向電極の電圧 V_{D1} の差電圧に応じて入射光の透過率が変化し、表示を決定する。

【0011】ここでソース電極の保持電圧 V_{G1} 、 V_{D1} を詳細に観察した場合、図15に示すように、ゲート電圧の立ち下がり時に、TFTのゲート・ソース間寄生容量等に起因して、以下の数1で与えられるレベルシフト電圧 ΔV_{GS} を生じる。

【0012】

【数1】

$$\Delta V_{GS} = \frac{C_{GS}}{C_{GS} + C_{D1} + C_{D2}} \Delta V_{G1} \quad \text{数1}$$

【0013】但し、数1において C_{GS} は液晶容量値、 C_{D1} は補助容量値、TFTの C_{D2} はゲート・ソース間寄生容量値であり、 ΔV_{GS} はゲート線立ち下がりにおける差電圧であり、すなわち、 $\Delta V_{GS} = V_{G1} - V_{G2}$ である。この ΔV_{GS} によって、 V_{G1} の中心電圧は、TFTがオン状態において保持された電圧 V_{G1} よりも ΔV_{GS} だけ低電圧側にシフトすることとなる。液晶は V_{G1} 、 V_{D1} の差電圧に従い表示が決定されるため、対向電極の電圧 V_{D1} を $V_{G1} - \Delta V_{GS}$ に設定することで、対向電極から見た画素電極の電圧が正負対称となるように設定して駆動する。

【0014】

【発明が解決しようとする課題】液晶パネルの解像度は年々高精細化が進んでおり、現在ではデータ線3000本、ゲート線1000本以上の解像度を有するものが開発されている。また、画面サイズにおいても、対角15インチ以上となる液晶パネルの開発が進んでいる。ここで従来のTFTにアモーフスSiを用いた液晶パネルにおいては、データ線、ゲート線の一方から電圧を与えるため、高精細化や大画面化を図った場合、ゲート線の寄生抵抗と画素容量によって、図15で示したデータ線 W_i 上のTFTのゲート電圧の立ち下がりタイミングと、 W_i 上のゲート電圧の立ち下がりタイミングとが異なっており、表示品質が劣化するという欠点がある。これを図16を用いて更に詳細に説明する。図16は従来例による画素の位置による ΔV_{GS} の差を示す図である。

【0015】ゲート線に対しては図13左方向から図説しない外部回路を介して電圧を与える。このためゲート線に対しては、 W_i 側から右方向の時定数と W_i 側から右方向の時定数が大きく異なる。従って、TFTのゲート電圧がしきい値近辺となる時間が W_i 側と W_i 側では異なり、ゲート電圧の立ち下がりによって起るドレイン・ソース間の電荷移動量に差を生じる。以上の結果、画面サイズが大きくなれば上記数1で示したレベルシフト電圧 ΔV_{GS} は、以下の数2で与えられることとなる。

【0016】

【数2】

$$\Delta V_{GS} = \frac{C_{GS}}{C_{GS} + C_{D1} + C_{D2}} \Delta V_{G1} \quad \text{数2}$$

【0017】ここで ΔV_{GS} はゲート線立ち下がり時の差電圧であり、立ち下がりにおける周波数の関数となる。この ΔV_{GS} によって、液晶パネルの両端を比較した場合、 ω が高い W_i 側の画素電極と ω が低い W_i 側の画素電極では、 W_i 側の画素電極の方が電荷移動量が大いことから、図16に示すように、 $\Delta V_{GS} > \Delta V_{GS}$ となる。但し ΔV_{GS} は W_i 側の画素に対するレベルシフト電圧 ΔV_{GS} 、 ΔV_{GS} は W_i 側の画素に対するレベ

ルシフト電圧 $\Delta\psi$ を示す。

【0018】以上の結果から、画素の位置によって $\Delta\psi$ が異なることとなる。これに対して、対向電極の電圧値 ψ_0 は一定であるため、画素容量間の差電圧が画素位置によって異なり、これが左右の表示むらとして見えるという課題があった。

【0019】本発明の目的は、 $\Delta\psi$ の画素位置による差電圧を減少させ、大画面においても左右の表示むらの少ないアクティブマトリックス型液晶パネルおよびその駆動方法を提供することである。

【0020】

【課題を解決するための手段】前記目的を達成するため、本発明を適用した液晶パネルの第一の態様においては、ゲート信号の立ち下がり時において各ゲート線に対して電荷の放出を行なうためのスイッチング素子を備えたディスチャージ回路を設ける。このディスチャージ回路は、例えば当該液晶パネルの画素構造と同じアモーフスSi-TFTで構成され、TFT液晶パネルの基板上に作成する。これによって液晶パネル内に簡単な回路を設けるだけで、液晶パネル上の画素位置の違いによる立下り時間の差を少なくすることができる。

【0021】また、前記目的を達成するために、本発明を適用した液晶パネルの第二の態様においては、対向電極に対して、データ線の X_0 側と X_1 側に2本の入力端子を設け、各端子に対して X_0 側および X_1 側の $\Delta\psi$ の差電圧と等しい差電圧をもって対向電極の電圧値 ψ_0 を与える。これによって、 $\Delta\psi$ が X_0 側と X_1 側とで異なる場合においても、画素容量の電極間の差電圧を一定とすることができるため、表示むらを押さえることが可能となる。

【0022】

【発明の実施の形態】以下、本発明の第一の実施形態を図1～3を用いて説明する。

【0023】図1は第一の実施形態における液晶パネルおよびその駆動系の構成を示す図である。本実施形態のアクティブマトリックス型液晶パネルは、 $m \times 2n$ ドットで構成されたTFT液晶パネル101と、 m 本からなるデータ線102-1、102-2、102-3、…、103- m と、 $2n$ 本からなるゲート線103-1、103-2、…、103- $2n$ と、対向電極104と、補助電極105とを備える。ここで、106は各画素に配置されたTFTであり、 i 行 j 列の画素のTFT106に対して、そのゲート電極は i 行のゲート線103- i と接続しており、ドレイン電極は j 列のデータ線102- j と接続している。さらにソース電極と対向電極104との間に液晶容量107を、補助電極105との間に補助容量108を形成している。

【0024】本実施形態ではさらに、上記構成の液晶パネルの駆動系として、電源回路112と、データ電圧生成用電圧線113と、ゲート電圧線114aと、ディス

チャージ信号生成用電圧線114bと、データドライバ115と、ゲートドライバ118とを備えている。また、116は表示データ、117はデータドライバ制御信号、119はゲートドライバ制御信号である。以上の構成は従来の構成と同じであり、データドライバ115とゲートドライバ118の動作も、従来の液晶パネルと同じである。

【0025】本実施形態の液晶パネルは、さらに、その特徴的構成の1つとして、 $2n$ 本からなるゲート線と接続しているディスチャージ回路109と、ディスチャージ信号生成回路120とを備えている。110-1、110-2はディスチャージ信号線であり、111はディスチャージ線である。ディスチャージ信号生成回路120は、ゲートドライバ制御信号119を基に、以下の図3のタイミング図で示すディスチャージ信号 ψ_{dis} を生成し、ディスチャージ信号線110-1、110-2に出力する。

【0026】ディスチャージ回路109は、例えば図2に示すように、TFT201-1、201-2、…、201- n と、TFT202-1、202-2、…、202- n とからなる $2n$ 個のTFTで構成される。本例では、奇数行目のゲート線に対してはTFT201- i が対応し、偶数行目のゲート線に対してはTFT202- i が対応する。ディスチャージ回路109における各TFTのドレイン電極は、これに対応する行のゲート線と接続され、ソース電極はディスチャージ線111と接続される。また、TFTのゲート電極は、奇数行目のTFT201- i についてはディスチャージ信号線110-1と接続され、偶数行目のTFT202- i についてはディスチャージ信号線110-2と接続されている。

【0027】本実施形態の液晶パネルに対する駆動タイミングの一例を図3に示す。なお、ここでの駆動タイミングは従来の駆動タイミングを基にしたものである。ゲート線、データ線及び対向電極線の電圧の名称等は図14に用いたものと同じであり、それらに関する詳細説明は省略する。又、 ψ_{dis} はディスチャージ信号線110-1の電圧値であり、 ψ_{dis} はディスチャージ信号線110-2の電圧値である。

【0028】以上の図面を基に第一の実施形態の動作について詳細に説明する。

【0029】21-1行目のTFT106にデータを書き込むため、該当するゲート線103- $(2i-1)$ に ψ_{gate} となる電圧を与え、TFT106をオン状態とする。このとき、ディスチャージ回路109において、図3に示すように21-1行目を含む奇数行目のTFT201- i に対してはディスチャージ信号線110-1の電圧を ψ_{dis} とすることでオフ状態とする。これによって、奇数行目のゲート線の電圧値は、図1においてゲート線の左端から印加した電圧、即ちデータの書き込みを行なうべき21-1行目のゲート線103-

(2i-1)においては ϕ となり、その他の奇数行目においては ϕ となる。

【0030】次に、偶数行目に対してはディスチャージ信号線110-2の電圧を ϕ とすることでTFT202-iをオン状態とする。このとき、ディスチャージ回路109におけるTFTのソース電極を ϕ と同電圧であるため、当該ゲート線の電圧はTFTがオン状態においても ϕ となる。

【0031】2i-1行目の画素電極に対する充電が完了すると、当該行の画素容量の電荷を保持するため、 ϕ は ϕ とし、TFT106をオン状態からオフ状態とする。これによって画素容量に書き込まれたデータ電圧は次にゲート電圧が ϕ となるまで保持される。このときゲート線の電圧が ϕ から ϕ に立ち下がるのと同時にディスチャージ信号線110-1の電圧を ϕ から ϕ とする。これによって2i-1行目のゲート線の電荷はディスチャージ回路109からも放電することができ、これによって、 ϕ 側のゲート線においても立ち下り時間を短くすることができる。

【0032】以上の2i-1行目のTFT106をオン状態からオフ状態とする動作と同時に2i行目のTFT106をオフ状態からオン状態とする。このとき2i行目のゲート線の電圧を ϕ から ϕ に立ち上げるが、これと同時に、ディスチャージ回路109においては2i行目を含む偶数行目のTFT202-iをオフ状態とするために、ディスチャージ信号線110-2の電圧を ϕ から ϕ とする。これによって2i行目のディスチャージ回路109からは放電されることはない。又、2i行目以外の偶数行目のゲート線の印加電圧は ϕ であり、ディスチャージ回路109におけるTFT202-iのソース電極と等しいため、TFT202-iがオン状態であるかオフ状態であるかに関係なく、 ϕ となる。

【0033】以上の動作を各行に対して順次行なうことで、ゲート線の立ち下り時間における ϕ 側と ϕ 側の差を減少させることが可能となり、これによって、上記数2で示したレベルシフト電圧 $\Delta\phi$ の表示位置による差を、減少せしめることができる。

【0034】又、上記ディスチャージ回路109におけるTFTは放電を行なうのみであるため、アモーフスSiで十分である。従って、TFT液晶パネルと同一基板上に構成することができる。このため、液晶パネルの価格上昇を招くことがない。さらに、液晶パネルの内部にディスチャージ回路109を設けることができるため、液晶パネルの表示領域の周辺部分である、いわゆる縁部部分のサイズが大きくなることもない。

【0035】以上、本発明の第一の実施形態を説明してきたが、その効果を確認するためにモデルを作成し、シミュレーションを行なった。その結果を図4～図7を用いて説明する。

【0036】図4はシミュレーションに用いた1画素の

モデルを示す図であり、401はTFT、402は液晶容量、403は補助容量である。404はゲート・ソース間寄生容量であり、シミュレーションにおいてはアモーフスSi-TFTの代わりにn-MOSを用いており、TFTのゲート・ソース間寄生容量と特性を一致させるために接続してある。ここで、405はデータ線抵抗、406はゲート線抵抗、407はデータ線-ゲート線間容量、408は隣接するデータ線間容量、409は隣接するゲート線間容量である。

【0037】図5はシミュレーションに用いた1画素分の素子サイズを示す表である。

【0038】以上で構成される1画素に対して、ゲート方向に対しては1280×3画素、データ方向に対しては1024画素で構成することで、1280×3×1024画素で構成されるマトリックス型TFT液晶パネルをモデルとした。

【0039】図6はシミュレーションに用いた印加電圧を示す表であり、データ電圧 V_d は10Vで固定とし、ゲート電圧の立ち下がり時間は100nsとした。また、ディスチャージ信号については上記第一の実施形態に従うように、ゲート電圧と同位相とし、立ち下がり、立ち上がり時間を共に100nsとした。

【0040】以上のように構築したモデルに基づき、ディスチャージ回路なしの場合とディスチャージ回路ありの場合のモデルを作成し、解析プログラムにアナログシミュレーションソフトであるSPICE(Shuttleworth and Associates)を用いてシミュレーションを行なった。図7はその結果を示す表であり、ゲート線2行目(Y2)における、データ線1列目(X1)、データ線1920列目(X1920)、データ線3840列目(X3840)に対して、ゲート線立ち下りのスルーレート $d\phi/dt$ 、及び $\Delta\phi$ を示してある。

【0041】図7に示す結果からわかるように、ディスチャージ回路109を設けることによって、液晶パネル中の表示位置の違いに対するスルーレート $d\phi/dt$ の差が少なくなり、これによってレベルシフト電圧 $\Delta\phi$ の差が10 μ mから6 μ mに減少している。

【0042】以上のように、本発明によれば、TFT液晶パネルにおいて構成内容が比較的簡単なディスチャージ回路を付加するだけで、レベルシフト電圧の左右の差電圧を減少させ、これによって起因する左右の表示むらを減少せしめることが可能となる。

【0043】なお、上記第一の実施形態では、従来の液晶駆動タイミングに基づいた駆動方法を用いたが、本実施形態において用いることができる駆動方法はこれに限定されるものではなく、ディスチャージ回路のオン、オフ制御タイミングと液晶パネルの駆動タイミングとが上述した関係を満足できるものであれば、他の駆動方法を用いても構わない。

【0044】次に、本発明を適用した液晶パネルの第二の実施形態について説明する。

【0045】上記図7のシミュレーション結果から、上記第一の実施形態における液晶パネルでのゲート線立ち下がりにおけるスルーレートは、ディスチャージ回路なしのときと比べて半分程度となっている。この点を考慮して、上記第一の実施形態とは異なる駆動タイミングによる実施形態を第二の実施形態として、図8、図9、及び従来技術の説明で用いた図16を用いて説明する。

【0046】本実施形態における液晶駆動タイミングを図8に示す。本図において各信号の名称、及び機能等は上記図3で示したものと同一であり、詳細な説明は省略する。但し、図8においては2i-1行目のゲート線が立ち下がる前に、2i行目のゲート線を立ち上げてある。図9は本実施形態におけるTFTの電極電圧を示す図である。

【0047】以上の図面に基づき、第二の実施形態について説明する。

【0048】上記第一の実施形態におけるシミュレーション結果から、ディスチャージ回路を設けることでゲート線立ち下がりにおけるスルーレートの最小値は12.4V/ μ sから33.2V/ μ sとなり、即ち25から0Vまで立ち下がるのに要する時間は2.00 μ sから1.34 μ sとなる。このことは逆にゲート線に対しては、立ち上がり時間をそのままとし、立下り時間を0.66 μ s遅くしたとしても、どの画素に対してもデータ線の電圧V_dを保持できる、ということになる。言い換えれば、ホールド時間が確保できることを意味する。

【0049】1280×3×1024画素で構成された液晶パネルをフレーム周波数75Hzで駆動した場合、1水平走査期間は13 μ sとなる。これに対し、実際の駆動では、該画素の保持すべきデータ電圧V_dが入力されるまでの期間、即ち図9における ΔT_1 及び全ての表示位置に対するゲート線が立ち下がるまでの期間、即ち図9における ΔT_2 を要するため、実質的な画素容量への充電時間は、13-($\Delta T_1 + \Delta T_2$)となり、シミュレーション結果から $\Delta T = 2.0\mu$ sである。

【0050】従来はゲート線とデータ線の信号周波数は同じであり、位相が異なるのみであるから、実質的な画素容量への充電時間は、上記液晶パネルにおいてTFTのしきい値電圧を5 μ sとしても $\theta = (20 + 20 \times \Delta T / 25) = 9.4\mu$ sしかない。これに対して、ディスチャージ回路を設ければ、立下り時間を遅くすることができ、これによって充電時間を $\theta = (20 + 13 \times \Delta T / 25) = 9.9\mu$ sと長くすることが可能となる。

【0051】この場合、ディスチャージ信号は、与える電圧が印加されているゲート線においてはディスチャージ回路から放電させないため、図8に示すように、2i-1行目のゲート線が与える期間においてはディスチャージ信号V_{ds}の電圧を0とし、2i行

目のゲート線が与える期間においてはディスチャージ信号V_{ds}の電圧を0とする。従って、ディスチャージ信号V_{ds}のディューティ比はともに50%よりも小さくなる。

【0052】以上の駆動タイミングを採用することで、上記第一の実施形態の効果に加えて、実質的な画素容量への充電期間を従来よりも長くすることができ、逆に高精細化によって1水平走査期間が短くなった場合や、ゲート線の時定数が大きな場合においても安定して充電することが可能となる。

【0053】次に、本発明を適用した液晶パネルの第三の実施形態について説明する。

【0054】ここでは本発明の第三の実施形態として、上記第一の実施形態とは異なる駆動方法に対するディスチャージ回路の使用方法を図10、11を用いて説明する。本実施形態における駆動方式は対向電極交流化駆動方式と呼ばれるもので、データ側と共に対向電極も交流化を行なう駆動方式である。

【0055】本実施形態における液晶パネルおよびその駆動系の構成を図10に示す。本図において、1001はm×2nドットで構成されたTFT液晶パネル、1002-1、1002-2、1002-3、…、1002-mはm本からなるデータ線、1003-1、1003-2、1003-3、…、1003-2nは2n本からなるゲート線、1004は対向電極である。1005は各画素に配置されたTFTであり、1行j列のTFT 1003-iと接続しており、ドレイン電極はj列目のデータ線1002-jと接続している。さらに、ソース電極と対向電極1004との間に液晶容量1006を形成し、1行上のゲート線との間に補助容量1007を形成している。1003-0は1行目の補助容量に対する補助電極である。

【0056】また、1008はディスチャージ回路であり、2n本からなるゲート線と接続している。このディスチャージ回路1008の構成は上記第一の実施形態のものと同じである。1009-1、1009-2はディスチャージ信号線であり、1010はディスチャージ線である。

【0057】即ち、本実施形態と上記第一の実施形態とは、補助容量の一方の接続端子が異なっている。

【0058】さらに、図10において、1011は電源回路、1012はデータ電圧生成用電圧線、1013aはゲート電圧線、1013bはディスチャージ信号生成用電圧線である。1014はデータドライバ、1015は表示データ、1016はデータドライバ制御信号であり、1017はゲートドライバ、1018はゲートドライバ制御信号である。データドライバ1016とゲートドライバ1017の機能は従来技術と同じである。

【0059】図11は本実施形態における液晶パネルの

駆動タイミングを示すタイミング図であり、ゲート線、データ線及び対向電極線の電圧名称等は上記図2の場合と同じである。 V_d はディスチャージ線1010の電圧を示す。

【0060】以上の図面に基づき、第三の実施形態を説明する。

【0061】対向電極交流化方式では、 $2i-1$ 行目の走査期間中に対しては、ゲート線1003-($2i-1$)の電圧を V_g とすることによって $2i-1$ 行目のTFT1005をオン状態とし、データ電圧 V_d は液晶容量と補助容量とからなる画素容量に書き込まれる。このとき、ディスチャージ信号線1009-1はディスチャージ回路1008における奇数行目のゲート線に対応したTFT201-1をオフ状態とするため、 $V_d=V_g$ とする。さらにディスチャージ線1009-2はディスチャージ回路1008における偶数行目のゲート線に対応したTFT202-1をオン状態とするため、 $V_d=V_g$ とする。このときディスチャージ線1010の電圧は走査を行っていないゲート線の電圧、即ちゲート線1003- $2i$ 以外のゲート線の電圧である V_g 又は V_g とする。次にゲート線1003-($2i-1$)の電圧が V_g 又は V_g となるとTFT1005がオフ状態となり、TFTのソース電極に書き込まれた電圧が保持される。同時にディスチャージ信号線1009-1と1009-2の位相が反転され、ディスチャージ回路1008における奇数行目のTFT201-1はオン状態となり、偶数行目のTFT202-1はオフ状態となる。

【0062】以上の構成によれば、本実施形態においてもデータ線の X 側と Y 側の立下り時間の差を少なくすることができる。

【0063】又、図11に示すようにディスチャージ線1010の電圧は、TFTをオフ状態とするゲート線の電圧と等しくなるように交流化を行なっている。これによってディスチャージ回路を設けた場合においても画素容量間の差電圧を一定に保つことができ、これによって表示品質が劣化することない。

【0064】以上のように、本実施形態によれば、対向電極交流化駆動方式においてもディスチャージ回路を付加することによってゲート線の立下り時間の差を少なくすることができ、表示の左右むらを減少せしめることが可能となる。

【0065】尚、補助容量の一方の端子位置が上記第一の実施形態と異なるが、これはいずれの液晶パネルを用いても同じ結果を得ることができる。

【0066】また、本実施形態と上記第二の実施形態を組み合わせ、即ち対向電極交流化駆動方式においてディスチャージ回路を設けるとともに、ゲート線の立ち上がり時間を前行の立ち下がり時間よりも速めることでも、実質的な画素電極への書き込み時間を長くできることは言うまでもない。

【0067】次に、本発明を適用した液晶パネルの第四の実施形態について説明する。

【0068】本実施形態においては、対向電極を液晶パネルの外部に対して、データ線の X 側と Y 側から2本引き出すとともに、この対向電極への印加電圧においては、 X 側と Y 側で印加電圧に差を与える。本実施形態を図12を用いて更に詳細に説明する。

【0069】図12に本実施形態の液晶パネル及びその駆動系の構成を示す。本実施形態の液晶パネルは $m \times n$ ドットで構成されたTFT液晶パネル1201と、 m 本のデータ線1202-1、1202-2、1202-3、...、1202- m と、 n 本のゲート線1203-1、1203-2、1203-3、...、1203- n と、 X 側の対向電極1204-1と、 Y 側の対向電極1204-2とを備える。ここで、1205は各画素に配置されたTFTであり、 i 行 j 列のTFT1205に対して、そのゲート電極は i 行目のゲート線1203- i と接続しており、ドレイン電極は j 列のデータ線1202- j と接続している。さらにソース電極と各画素上の対向電極1204との間に液晶容量1206を形成し、1行上のゲート線との間に補助容量1207を形成している。1203-0は1行目の補助容量1207に対する補助電極である。

【0070】本実施形態では、液晶パネルの駆動系として、正転アンプ1208-1、1208-2と、抵抗1209-1、1209-2と、電源回路1210と、データ電圧生成用電圧線1211、ゲート電圧1212と、データドライバ1213と、ゲートドライバ1216とを備える。また、1214は表示データ、1215はデータドライバ制御信号、1217はゲートドライバ制御信号である。データドライバ1213とゲートドライバ1216の機能等は上記第一の実施形態と同じものである。

【0071】以上の図面に基づき、第四の実施形態を説明する。

【0072】上記図16に示すように、2本の対向電極の電圧においては、データ線の X 側と Y 側に対して電圧を印加されることとなり、従って、液晶パネル内においてはゲート線1203- i と平行して電圧が降下することとなる。

【0073】 X 側の対向電極1204-1、1204-2の電圧値をそれぞれ V_{dX1} 、 V_{dX2} 、抵抗1209-1、1209-2の抵抗値をそれぞれ R とすると、抵抗による電圧降下によって、次の数3の関係が成立する。

【0074】

【数3】

$$V_{dX1} - \frac{R}{R+R} V_{dX2} = \frac{R}{R+R} V_{dX2} \quad \text{数3}$$

【0075】従って、レベルシフト電圧 ΔV_{dX} 、 ΔV

側との間に以下の数4の関係を持てば、X側とY側でレベルシフト電圧が異なる場合においても、液晶パネル内の対向電極の抵抗値によって画素電極の差電圧は一定となり、これによって液晶の透過率を一定とすることができる。

【0076】

【数4】

$$AV_{DD} - V_{th} = \frac{R_1}{R_1 + R_2} V_{DD} \quad \dots\dots\dots (4)$$

【0077】この場合の駆動方式は、例えば従来例の説明に用いた上記図14の駆動タイミングや、上記第三の実施形態に用いた上記図11の液晶駆動タイミングにおいてディスチャージ回路に関する信号を除いたもので駆動することができる。

【0078】尚、図12においては、X側の対向電極の電圧は、X側の対向電極電圧と接地電圧を分圧したものをを用いたが、特に接地電圧に限定するものではなく、X側の対向電極電圧よりも低電圧かつ安定している電圧値であればよい。

【0079】更に、X側とY側の電圧を従属させて生成する必要はなく、それぞれ独立して電圧を生成する構成としてもよい。

【0080】以上のように、X側とY側で対向電極に差電圧を与えるとともに、その差電圧をX側とY側のレベルシフト電圧 ΔV の差電圧と等しくすることで液晶パネルの左右むらを減少せしめることが可能となる。

【0081】

【発明の効果】本発明を適用した上記第一の実施形態〜第三の実施形態においては、TFT液晶パネル内に対して簡単な回路を設けるだけで、画素位置によって異なるゲート線の立ち下がり時間の差を小さくすることができる。これによって液晶パネルにおいて高精細化や大画面化を図った場合においても、ゲート・ソース間突入電流によるレベルシフト電圧 ΔV の画素の位置における差を小さくでき、表示むらを少なくすることができる。さらにはゲート線の立ち下がり時間の差を小さくできることから、実質的な液晶容量への書き込み時間を長くすることができ、十分な書き込み時間を確保することが可能となる。

【0082】さらに、本発明を適用した上記第四の実施形態においては、対向電極に対して左右で異なる電圧を与えることで、TFTのソース電極と対向電極間の差電圧を表示位置に係わらず一定とすることができ、左右方向での表示むらを減少させることが可能となる。

【図面の簡単な説明】

【図1】第一の実施形態における液晶パネルの構成を示すブロック図。

【図2】ディスチャージ回路の構成を示すブロック図。

【図3】第一の実施形態における液晶パネルの駆動タイ

ミングを示すタイミングチャート。

【図4】液晶パネルの1画素のモデルを示すブロック図。

【図5】シミュレーションに用いた1画素分の素子サイズを示す図表。

【図6】シミュレーションに用いた印加電圧を示す図表。

【図7】シミュレーション結果を示す図表。

【図8】第二の実施形態における液晶パネルの駆動タイミングを示すタイミングチャート。

【図9】第二の実施形態におけるTFTの電極電圧の時間変化を示す説明図。

【図10】第三の実施形態における液晶パネルの構成を示すブロック図。

【図11】第三の実施形態における液晶パネルの駆動タイミングを示すタイミングチャート。

【図12】第四の実施形態における液晶パネルの構成を示すブロック図。

【図13】従来の液晶パネルの構成を示すブロック図。

【図14】従来例の液晶パネルの駆動タイミングを示すタイミングチャート。

【図15】ソース電極の保持電圧の時間変化を示す説明図。

【図16】画素の位置による ΔV の差の時間変化を示す説明図。

【符号の説明】

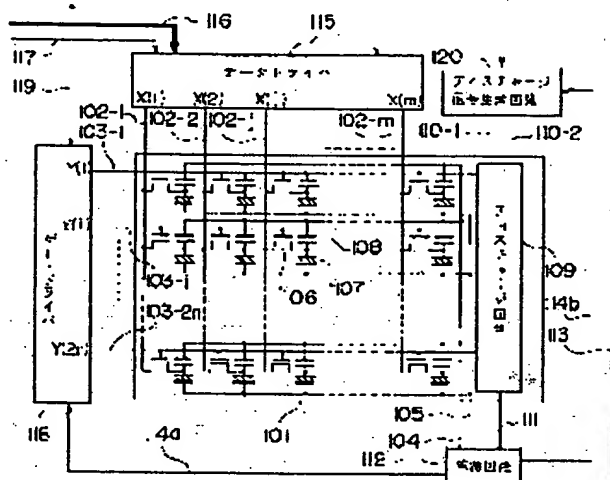
101…TFT液晶パネル、102-1～102-m…データ線、103-1～103-2n…ゲート線、104…対向電極、105…補助電極、106…TFT、107…液晶容量、108…補助容量、109…ディスチャージ回路、110-1、110-2…ディスチャージ信号線、111…ディスチャージ線、112…電源回路、113…データ電圧生成用電圧線、114a…ゲート電圧線、114b…ディスチャージ信号生成用電圧線、115…データドライバ、116…表示データ、117…データドライバ制御信号、118…ゲートドライバ、119…ゲートドライバ制御信号、120…ディスチャージ信号生成回路、201-n…TFT、202-n…TFT、401…TFT、402…液晶容量、403…補助容量、404…ゲート・ソース間寄生容量、405…データ線抵抗、406…ゲート線抵抗、407…データ線-ゲート線間容量、408…隣接するデータ線間容量、409…隣接するゲート線間容量、1001…TFT液晶パネル、1002-1～1002-m…データ線、1003-1～1003-2n…ゲート線、1004…対向電極、1005…TFT、1006…液晶容量、1007…補助容量、1008…ディスチャージ回路、1009-1、1009-2…ディスチャージ信号線、1010…ディスチャージ線、1011…電源回路、1012…データ電圧生成用電圧線、1013a…

ゲート電圧線、114b…ディスチャージ信号生成用電圧線、1014…データドライバ、1015…表示データ、1016…データドライバ制御信号、1017…ゲートドライバ、1018…ゲートドライバ制御信号、1019…ディスチャージ信号生成回路、1201…TFT液晶パネル、1202-1~1602-m…データ線、1203-0…補助電極、1203-1~1203-n…ゲート線、1204-1…X0側の対向電極、1204-2…X0側の対向電極、1205…TFT、1206…液晶容量、1207…補助容量、1208-1、1208-2…正転アンプ、1209-1、1209-2…抵抗、1210…電源回路、1211…データ電圧生成用電圧線、1212…ゲート電圧線、1213

…データドライバ、1214…表示データ、1215…データドライバ制御信号、1216…ゲートドライバ、1217…ゲートドライバ制御信号、1218…ディスチャージ信号生成回路、1301…TFT液晶パネル、1302-1~1302-m…データ線、1303-1~1303-n…ゲート線、1304…対向電極、1305…補助電極、1306…TFT、1307…液晶容量、1308…補助容量、1309…電源回路、1310…データ電圧の電圧線、1311…ゲート電圧の電圧線、1312…データドライバ、1313…表示データ、1314…データドライバ制御信号、1315…ゲートドライバ、1316…ゲートドライバ制御信号。

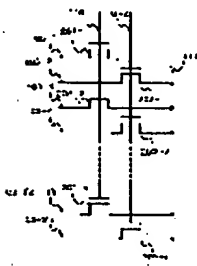
【図1】

第1の実施形態における液晶パネルの構成（図1）



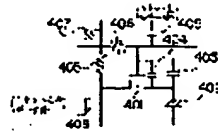
【図2】

図2は、電源回路の構成図を示す。



【図4】

図4は、制御回路の構成図を示す。



【図6】

図6は、制御回路の構成図を示す。



【図7】

図7は、制御回路の構成図を示す。

項目	仕様	単位	値	項目	仕様	単位	値
電源電圧	AC100V	V		消費電力	100W	W	
電圧変動率	±1%	%		電圧変動率	±1%	%	
電圧変動率	±1%	%		電圧変動率	±1%	%	

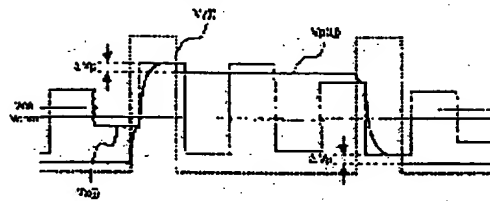
【図5】

図5は、制御回路の構成図を示す。

項目	仕様	単位	値
電源電圧	AC100V	V	
消費電力	100W	W	
電圧変動率	±1%	%	
電圧変動率	±1%	%	
電圧変動率	±1%	%	

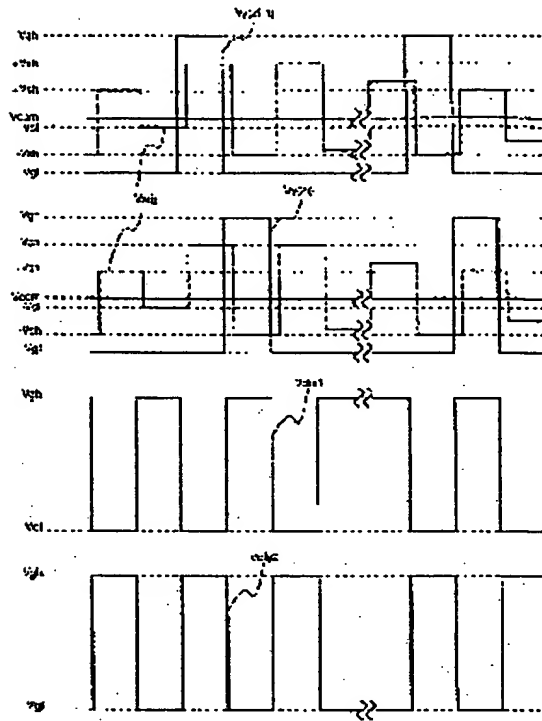
【図15】

図15は、ソース電圧の保持電圧を示す図(図15)



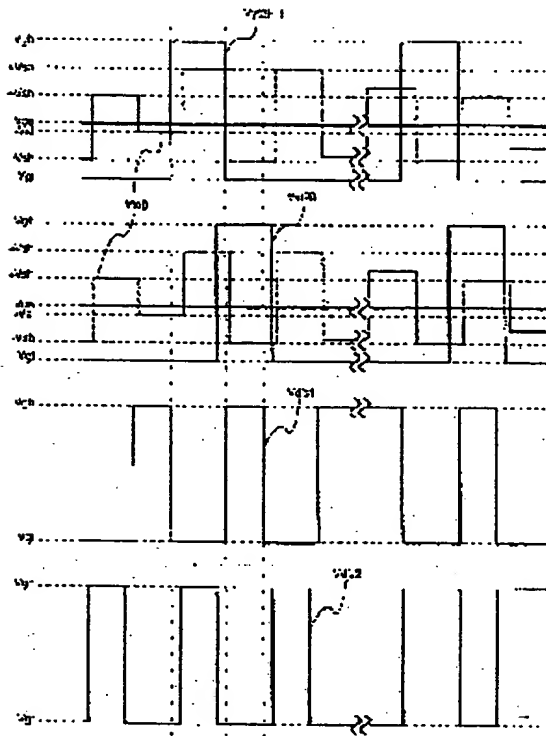
【図3】

第一の実施形態における液晶パネルの駆動タイミング（図3）



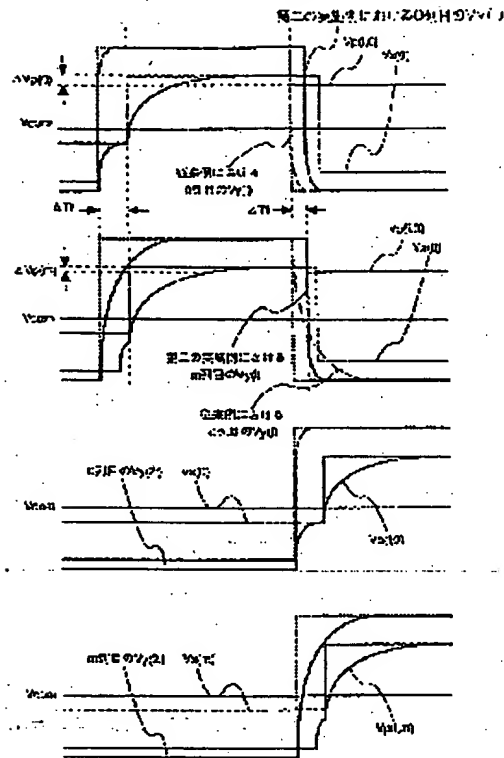
【図8】

第二の実施形態における液晶パネルの駆動タイミング（図6）



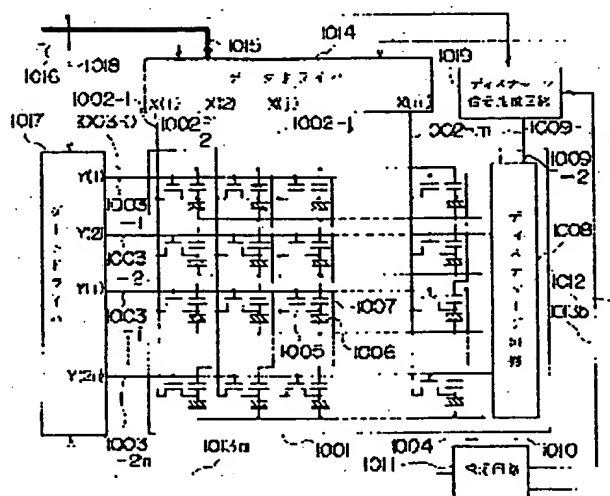
【図9】

第二の実施形態における「T」の駆動電圧を示す図（例9）



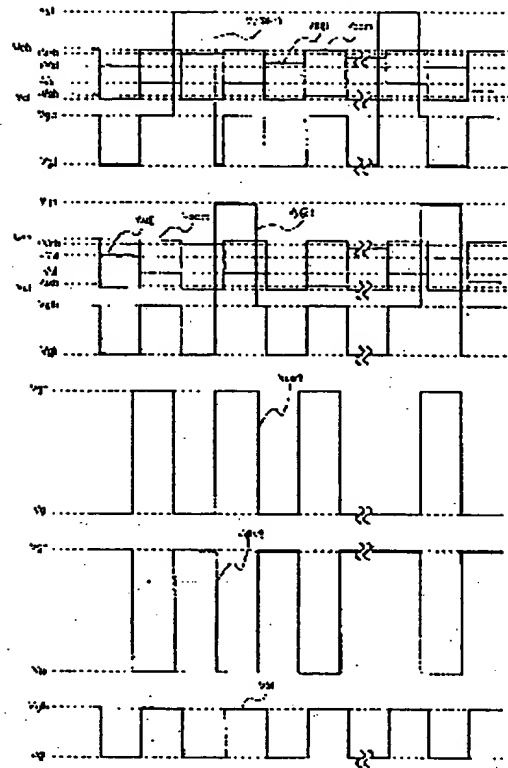
【図10】

第三の演算部型に於ける式記号の接続図(例)



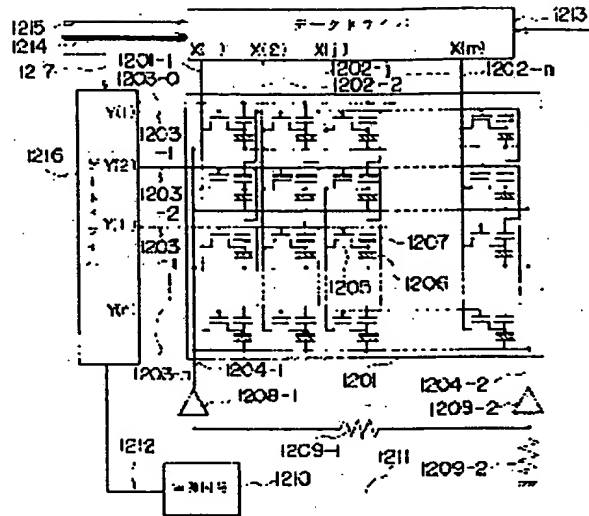
【図11】

第三の実施例における駆動タイミング（図11）



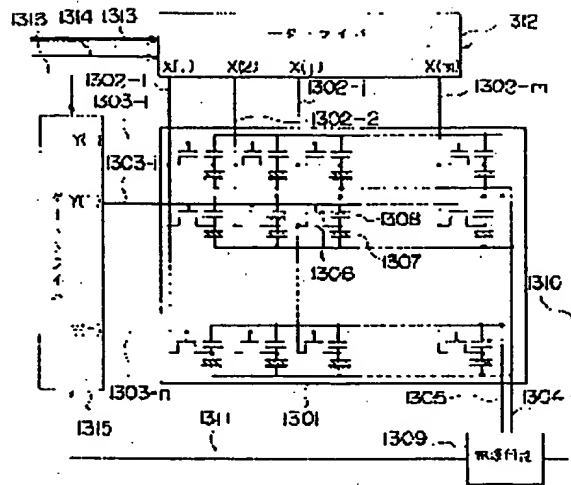
【図12】

第10の実施例におけるメモリセルの構成(図12)



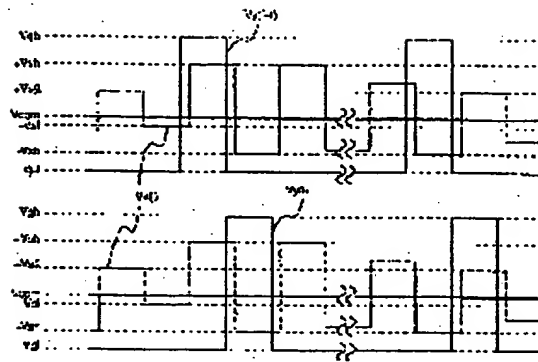
【図13】

従来の液晶パネルの構成（例：5）



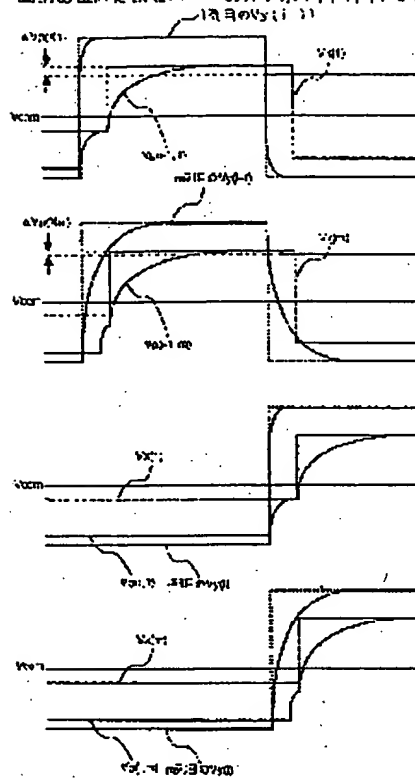
【図14】

従来の液晶パネルの駆動タイミング（図14）



【図16】

面素の位置による ΔV の差を示す図 (図16)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.